

◆Japanese Patent Application Laid-Open No. 11-67933 (1999):
“MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE”

The following is a brief description of the invention disclosed in this publication.

[Abstract]

[Problem to be solved] To improve the reliability of a semiconductor device by forming a mutual connection wiring layer without producing a penetrating portion by etching in a method of manufacturing a semiconductor device.

[Solution] A sidewall spacer 6 is formed at least side portions of wiring layers 3, 4 and a second insulating film 5 by depositing a third insulating film on all surfaces after forming a silicide layer 8 with an salicide method and before depositing a conductive layer for connecting the silicide layer 8, and conducting an anisotropic etching.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67933

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L	21/8244	H 0 1 L	27/10
	27/11		3 8 1
	29/78		3 0 1 Y
	21/336		

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平9-224849
(22) 出願日 平成9年(1997) 8月21日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(71) 出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2
(72) 発明者 菅谷 慎二
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 弁理士 柏谷 昭司 (外2名)

最終頁に続く

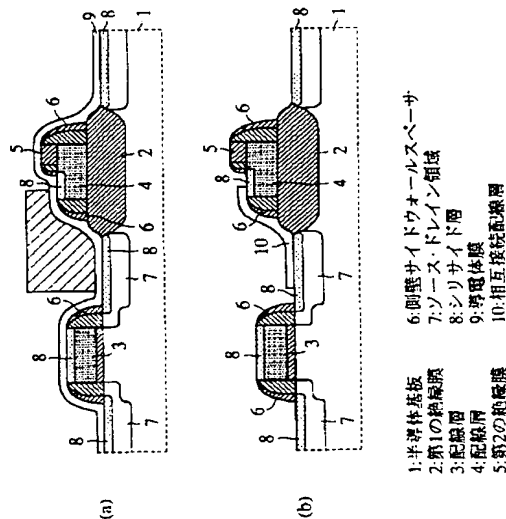
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に関し、エッチングによるしみ込み部を発生させることなく相互接続配線層を形成して、半導体装置の信頼性を向上する。

【解決手段】 サリサイド法によるシリサイド層8の形成後で、且つ、シリサイド層8を接続するための導電膜の堆積前に全面に第3の絶縁膜を堆積し、異方性エッチングを施すことによって、少なくとも配線層3、4及び第2の絶縁膜5の側部に側壁サイドウォールスペーサ6を形成する。

本発明の原理的構成の説明図



【特許請求の範囲】

【請求項 1】 半導体基板上に、第 1 の絶縁膜を介してシリコン層を堆積させたのち、前記シリコン層上の一部に第 2 の絶縁膜を設け、前記第 2 の絶縁膜を設けた領域を含むようにエッチングして配線層を形成し、少なくとも前記第 2 の絶縁膜を設けた領域の近傍の配線層の表面に自己整合的にシリサイド層を設けたのち、導電体膜を堆積させ、次いで、前記シリサイド層及び第 2 の絶縁膜に対して選択性のあるエッチング手段により前記導電体膜をエッチングすることにより異なった領域のシリサイド層間を接続する相互接続配線層を形成する半導体装置の製造方法において、前記シリサイド層の形成後で、且つ、前記導電体膜の堆積前に全面に第 3 の絶縁膜を堆積し、異方性エッチングを施すことによって、少なくとも前記配線層及び第 2 の絶縁膜の側部に側壁サイドウォールスペースを形成することを特徴とする半導体装置の製造方法。

【請求項 2】 上記第 1 の絶縁膜は少なくとも素子分離用絶縁膜を含んでおり、上記第 2 の絶縁膜を設けた配線層が前記素子分離用絶縁膜上に配置されていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記配線層がスタティック・ランダム・アクセス・メモリを構成するトランジスタのゲート電極及びゲート電極の延長部を構成する配線層であると共に、上記相互接続配線層が上記シリサイド層の形成工程において前記トランジスタのソース・ドレイン領域の表面に自己整合的に形成されたシリサイド層と、上記第 2 の絶縁膜を設けた配線層に形成したシリサイド層とを接続するものであることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 上記シリサイド層を形成する前に、上記配線層の側壁に予めサイドウォールを設けておくことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 上記第 3 の絶縁膜の厚さが、10 nm 以上であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 上記第 3 の絶縁膜を、750℃以下の温度で堆積することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記側壁サイドウォールスペースの形成後に、上記第 3 の絶縁膜と同じエッチング特性を有する薄い絶縁膜を堆積させ、上記導電体膜を堆積する前に、上記相互接続配線層を形成する領域の前記薄い絶縁膜を選択的に除去することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 上記側壁サイドウォールスペースを形成する際に、第 3 の絶縁膜が全面に薄く残存するように異方性エッチングを施し、上記導電体膜を堆積する前に、相互接続配線層を形成する領域に残存する前記薄い絶縁

膜を選択的に除去することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】 上記薄い絶縁膜を除去するために用いる露光用マスクと、上記導電体膜をエッチングするために用いる露光用マスクとして、同一のパターンの露光用マスクを用いることを特徴とする請求項 7 また 8 に記載の半導体装置の製造方法。

【請求項 10】 上記導電体膜をエッチングするために用いたエッチング用マスクを残存させた状態で、残存する上記薄い酸化膜を除去することを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関するものであり、特に、高集積度のSRAM（スタティック・ランダム・アクセス・メモリ）セルを含む半導体装置等におけるローカル配線構造を形成する際の不所望なエッチング部の発生を防止する方法に特徴のある半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、システムオンチップ化の要請に伴い、高集積度のSRAMマクロセルを集積化したロジックデバイス技術が要求されており、このため、ローカル配線を用いてSRAMセルに特有なクロスカップル接続を立体的に行い、高密度化を図る技術が提供されている。なお、ローカル配線とは、通常の配線とは異なり、抵抗値が高かったり、或いは、配置の自由度に制限があったりする配線を意味するものである。

【0003】ここで、図9を参照して、従来のローカル配線の形成工程を説明する（必要ならば、例えば、特開平6-27146号公報参照）。

図9（a）参照

まず、p型Si基板51の所定領域にパッド膜を介して窒化膜パターン（図示せず）を設け、選択酸化することによって、素子分離用酸化膜52を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板51の露出面にゲート酸化膜53を形成し、次いで、全面に、ノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にP（リン）をドープする。

【0004】次いで、CVD法によって酸化膜を堆積させたのち、後のシリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜52の上に配置する配線層上に部分的に酸化膜54が残存するようにエッチングする。

【0005】次いで、多結晶Siゲート電極55及び多結晶Si配線層56をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極55に自己整合するn⁺型ソース・ドレイン引出領域57を形成する。

【0006】次いで、全面にCVD法によりSiO₂膜を堆積させ、RIE（反応性イオンエッチング）により異方性エッチングすることによって、多結晶Siゲート電極55や多結晶Si配線層56等の凸部の側壁にサイドウォール58を形成したのち、再び、Asイオンを注入することによって、n⁺型ソース・ドレイン領域59を形成する。なお、同時に形成されるn⁺型領域60は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0007】次いで、全面にCo（コバルト）膜を堆積させ、アニール処理を施すことによって、多結晶Siゲート電極55、多結晶Si配線層56、及び、p型Si基板51の露出表面にCoSi₂からなるシリサイド層61、62、63、64を形成し、未反応のCo層を選択的エッチングにより除去する。

【0008】図9（b）参照

次いで、全面にTi膜及びTiN膜を順次堆積させてTi/TiN膜65とし、レジストマスク66をマスクとして、CF₄、+BCl₃を原料ガスとしたRIEによってTi/TiN膜65をエッチングすることによってローカル配線が形成される。

【0009】この様な工程でローカル配線を形成しているため、従来のローカル配線形成技術においては、ゲート電極の高さ分以上の段差での微細なパターンの加工と、配線層と下地層とのエッチングの高選択性を同時に実現する必要があった。

【0010】

【発明が解決しようとする課題】

図10（a）参照

しかし、従来のローカル配線の形成工程においては、ゲート電極等に伴う段差が高いために、Ti/TiN膜からなるエッチング残渣68が発生するという問題があり、エッチング残渣68に伴う不所望な短絡等を防止するためにエッチング残渣68をオーバーエッチングで除去する必要がある。

【0011】図10（b）参照

しかし、エッチング残渣68を完全に除去しようとしてオーバーエッチングを十分にかけると、多結晶Si配線層56に設けたシリサイド層63の周辺端部、或いは、p型Si基板51に設けたシリサイド層62、64の周辺端部にエッチングによるしみ込み部69が形成され、このしみ込み部69がリーク電流等の原因となるという問題がある。

【0012】これは、オーバーエッチングに伴って、サイドウォール58を構成する酸化膜が後退してp型Si基板51や多結晶Si配線層56が露出し、この露出部分がエッチングされたり、或いは、サイドウォール58形成のためのSiO₂膜の堆積工程において、表面にサブオキサイドが形成され、サイドウォール58の端部近傍においてこのサブオキサイドが存在したままシリサイ

ド化が行われ、この部分でシリサイド化が不均一になるため、オーバーエッチング工程でシリサイド層が後退し、p型Si基板51等が露出するためである。

【0013】したがって、本発明は、エッチングによるしみ込み部を発生させることなく相互接続配線層を形成して、半導体装置の信頼性を向上することを目的とする。

【0014】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1（a）及び（b）参照

（1）本発明は、半導体基板1上に、第1の絶縁膜2を介してシリコン層を堆積させたのち、シリコン層上の一部に第2の絶縁膜5を設け、この第2の絶縁膜5を設けた領域を含むようにエッチングして配線層3、4を形成し、少なくとも第2の絶縁膜5を設けた領域の近傍の配線層4の表面に自己整合的にシリサイド層8を形成したのち、導電体膜を堆積させ、次いで、シリサイド層8及び第2の絶縁膜5に対して選択性のあるエッチング手段により導電体膜をエッチングすることにより異なった領域のシリサイド層8間を接続する相互接続配線層10を形成する半導体装置の製造方法において、シリサイド層8の形成後で、且つ、導電体膜の堆積前に全面に第3の絶縁膜を堆積し、異方性エッチングを施すことによって、少なくとも配線層3、4及び第2の絶縁膜5の側部に側壁サイドウォールスペーサ6を形成することを特徴とする。

【0015】この様に、SRAMのクロスカップル接続配線等の相互接続配線層10、特に、立体的な相互接続配線層10を形成する際に、予め配線層3、4の側壁に側壁サイドウォールスペーサ6を設けておくことによって、側壁がなだらかになるのでエッチング残渣が発生することがなく、また、エッチング残渣を除去するためにオーバーエッチングしたとしても、シリサイド層8の周辺端部は側壁サイドウォールスペーサ6で覆われており、それによってシリサイド層8の周辺端部にエッチングガス或いはエッチング液がしみ込んでしみ込み部が形成されることがなく、半導体装置の特性、信頼性が向上する。なお、この場合のシリコン層とは、多結晶シリコン層、微結晶シリコン層、アモルファスシリコン層、或いは、単結晶シリコン層を意味する。

【0016】（2）また、本発明は、上記（1）において、第1の絶縁膜2は少なくとも素子分離用絶縁膜を含んでおり、第2の絶縁膜5を設けた配線層4が素子分離用絶縁膜上に配置されていることを特徴とする。

【0017】この様な側壁サイドウォールスペーサ6は、段差の大きな素子分離用絶縁膜上に配置された配線層4に対して立体的に相互接続配線層を形成する際に、特に有効である。

【0018】(3)また、本発明は、上記(1)または(2)において、配線層3、4がスタティック・ランダム・アクセス・メモリを構成するトランジスタのゲート電極及びゲート電極の延長部を構成する配線層3、4であると共に、相互接続配線層10が、シリサイド層8の形成工程においてトランジスタのソース・ドレイン領域7の表面に自己整合的に形成されたシリサイド層8と、第2の絶縁膜5を設けた配線層4に形成したシリサイド層8とを接続するものであることを特徴とする。

【0019】この様な工程は、特に微細化の要求されているSRAMに立体的なローカル配線を形成する際に、特に有効であり、それによって、製造歩留りを向上することができる。

【0020】(4)また、本発明は、上記(1)乃至(3)のいずれかにおいて、シリサイド層8を形成する前に、配線層3、4の側壁に予めサイドウォールを設けておくことを特徴とする。

【0021】この様に、シリサイド層8をシリサイド工程によって自己整合的に形成するためには、シリサイド層8を形成する前に、配線層3、4の側壁に予めサイドウォールを設けておくことが必要になる。

【0022】(5)また、本発明は、上記(1)乃至(4)のいずれかにおいて、第3の絶縁膜の厚さが、10nm以上であることを特徴とする。

【0023】この様に、第3の絶縁膜の厚さとしては、しみ込み部の発生を防止するための最低限の厚さの側壁サイドウォールスペーサ6を形成するためには、10nm以上であることが必要であり、また、10nmはLTCVD法(低温化学気相成長法)によって実用レベルで成膜できる最低の膜厚でもある。

【0024】(6)また、本発明は、上記(5)において、第3の絶縁膜を、750℃以下の温度で堆積することを特徴とする。

【0025】第3の絶縁膜は、シリサイド層8の形成後に堆積させるものであるので、第3の絶縁膜の堆積温度はシリサイド層8の耐熱限界から決められるものであり、特に、 CoSi_2 の場合には、750℃以下とすることが望ましい。

【0026】(7)また、本発明は、上記(1)乃至(6)のいずれかにおいて、側壁サイドウォールスペーサ6の形成後に、第3の絶縁膜と同じエッチング特性を有する薄い絶縁膜を堆積させ、導電体膜を堆積する前に、相互接続配線層10を形成する領域の薄い絶縁膜を選択的に除去することを特徴とする。

【0027】この様に、薄い絶縁膜によって相互接続配線層10を形成する領域以外の領域を覆っておくことにより、導電体膜のエッチング工程において、コンタクト用のビアホール等を形成する領域のアライメントマージンを含む範囲において、素子分離用絶縁膜の端部等が露出することがなく、したがって、ビアホールにプラグを

形成した際に、短絡等が発生することがない。

【0028】(8)また、本発明は、上記(1)乃至(6)のいずれかにおいて、側壁サイドウォールスペーサ6を形成する際に、第3の絶縁膜が全面に薄く残存するように異方性エッチングを施し、導電体膜を堆積する前に、相互接続配線層10を形成する領域に残存する薄い絶縁膜を選択的に除去することを特徴とする。

【0029】この様な薄い絶縁膜は、側壁サイドウォールスペーサ6を形成する際のエッチング条件を制御することによって、側壁サイドウォールスペーサ6と一体に形成しても良いものである。

【0030】(9)また、本発明は、上記(7)または(8)において、薄い絶縁膜を除去するために用いる露光用マスクと、導電体膜をエッチングするために用いる露光用マスクとして同一のパターンの露光用マスクを用いることを特徴とする。

【0031】この様に、ネガ型レジストとポジ型レジストとを使い分けることによって、薄い絶縁膜を除去するために用いる露光用マスクと、導電体膜をエッチングするために用いる露光用マスクとして同一のパターンの露光用マスク、通常は同一の露光用マスクを用いることができ、それによって必要とするマスク数を減らすことができるので、製造コストを低減することができる。

【0032】(10)また、本発明は、上記(9)において、導電体膜をエッチングするために用いたエッチング用マスクを残存させた状態で、残存する薄い酸化膜を除去することを特徴とする。

【0033】この様に、導電体膜をエッチングするために用いたエッチング用マスクをそのまま用いることによって、導電体膜のエッチング後に不要になった薄い酸化膜を新たなマスクを用いることなく除去することができる。

【0034】

【発明の実施の形態】ここで、図2及び図3を参照して、本発明の第1の実施の形態の製造工程を説明する。図2(a)参照

まず、p型Si基板11の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10~400nm、例えば、180nmのノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にPをドープする。

【0035】次いで、CVD法によって厚さ、10~200nm、例えば、80nmの酸化膜を堆積させたのち、後のシリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化

膜 12 の上に配置する配線層上に部分的に酸化膜 14 が残存するようにエッチングする。

【0036】次いで、多結晶 Si ゲート電極 15 及び多結晶 Si 配線層 16 をエッチングにより形成したのち、As イオンをイオン注入することによって多結晶 Si ゲート電極 15 に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン引出領域 17 を形成する。

【0037】次いで、全面に CVD 法により厚さ 10 ~ 200 nm、例えば、100 nm の酸化膜を堆積させ、RIE により異方性エッチングすることによって、多結晶 Si ゲート電極 15 や多結晶 Si 配線層 16 等の凸部の側壁にサイドウォール 18 を形成したのち、再び、As イオンを注入することによって、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン領域 19 を形成する。なお、同時に形成される n^+ 型領域 20 は隣接する IGFET のソース・ドレイン領域或いは拡散配線層である。

【0038】次いで、全面に Co 膜を堆積させ、アルゴン雰囲気中でアニール処理 (RTA: Rapid Thermal Annealing) を施すことによって、多結晶 Si ゲート電極 15、多結晶 Si 配線層 16、及び、p 型 Si 基板 11 の露出表面に CoSi₂ からなるシリサイド層 21、22、23、24 を形成し、未反応の Co 層を選択的エッチングにより除去する。

【0039】図 2 (b) 参照

次いで、LTCVD 法を用いて、750°C 以下、例えば、390°C の温度において、全面に厚さ 10 nm 以上、例えば、100 nm の酸化膜を堆積させ、異方性エッチングを施すことによって、各サイドウォール 18 の側部に側壁サイドウォールスペース層となるサイドウォール 25 を形成して、シリサイド層 21 ~ 24 の周辺端部を覆う。

【0040】図 3 (c) 及び (d) 参照

次いで、全面に厚さ 3 ~ 100 nm、例えば、10 nm の Ti 膜及び厚さ 3 ~ 200 nm、例えば、20 nm の TiN 膜からなる Ti/TiN 膜 26 を順次堆積させたのち、レジストマスク 27 をマスクとして、CF₄、+ BCl₃ を原料ガスとした RIE によって Ti/TiN 膜 26 をエッチングすることによって、ローカル配線 28 を形成する。

【0041】この様に、本発明の第 1 の実施の形態においては、各サイドウォール 18 の側部に側壁サイドウォールスペース層となるサイドウォール 25 を設けているので、多結晶 Si ゲート電極 15 及び多結晶 Si 配線層 16 の側壁がなだらかになり、Ti/TiN 膜 26 のエッチングに伴って、多結晶 Si ゲート電極 15 及び多結晶 Si 配線層 16 の側部にエッチング残渣が生ずること

がない。

【0042】また、エッチング残渣が生じ、このエッチング残渣を除去するためにオーバーエッチングを施した場合、シリサイド層 21 ~ 24 の周辺端部はサイドウォール 25 で覆われているので、このシリサイド層 21 ~ 24 の周辺端部が露出して異常エッチングによるしみ込み部 29 はあまり発生することがない。

【0043】しかし、この第 1 の実施の形態の製造工程では、ローカル配線 28 を設けない領域の素子分離用酸化膜 12 の端部はサイドウォール 25 等で覆われる量が、多結晶 Si ゲート電極 15 及び多結晶 Si 配線層 16 の側部に比べて少ないので、しみ込み部 29 が発生することがあり、この領域にコンタクト電極或いはプラグを設けない場合には問題がないが、この部分にコンタクト電極或いはプラグを設けた場合には問題が発生する。

【0044】図 4 参照

即ち、しみ込み部 29 の発生した領域にプラグを設ける場合、層間絶縁膜 30 を設けたのち、ビアホール 31 を形成し、次いで、このビアホール 31 内に、Ti 膜及び TiN 膜からなるグルーレイヤメタル 32 を薄く堆積させたのち、W を埋め込み、W プラグ 33 を形成し、その上に、W プラグ 33 と接続する配線層 34 を形成することになる。

【0045】この場合、しみ込み部 29 が p 型 Si 基板 11 に達する程度に深く形成されていると、グルーレイヤメタル 32 は p 型 Si 基板 11 と接することになり、 n^+ 型領域 20 と p 型 Si 基板 11 とが短絡し、リーク電流が流れることになる。

【0046】したがって、素子分離用酸化膜 12 の周辺にコンタクト電極或いはプラグを設ける場合には、ローカル配線 28 を形成する際に、当該箇所を予め被覆しておく必要がある。なお、コンタクト電極或いはプラグを形成する領域とは、アライメントマージンを含む範囲を意味する。

【0047】次に、図 5 及び図 6 を参照して、本発明の第 2 の実施の形態の製造工程を説明するが、シリサイド工程までは、上記の第 1 の実施の形態と同様である。

図 5 (a) 参照

まず、上記の第 1 の実施の形態と同様に、p 型 Si 基板 11 の所定領域にパッド膜を介して窒化膜パターン (図示せず) を設け、選択酸化することによって、厚さが、例えば、250 nm の素子分離用酸化膜 12 を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によって p 型 Si 基板 11 の露出面に厚さ 5 nm ゲート酸化膜 13 を形成し、次いで、全面に、厚さ、10 ~ 400 nm、例えば、180 nm のノン・ドーブの多結晶 Si 層を堆積させたのち、イオン注入によって多結晶 Si 層に P をドーブする。

【0048】次いで、CVD 法によって厚さ、10 ~ 200 nm、例えば、80 nm の酸化膜を堆積させたの

ち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

【0049】次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ のn⁺型ソース・ドレイン引出領域17を形成する。

【0050】次いで、全面にCVD法により厚さ10～200nm、例えば、100nmの酸化膜を堆積させ、RIEにより異方性エッチングすることによって、多結晶Siゲート電極15や多結晶Si配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ のn⁺型ソース・ドレイン領域19を形成する。なお、同時に形成されるn⁺型領域20は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0051】次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理(RTA: Rapid Thermal Annealing)を施すことによって、多結晶Siゲート電極15、多結晶Si配線層16、及び、p型Si基板11の露出表面にCoSi₂からなるシリサイド層21、22、23、24を形成し、未反応のCo層を選択的エッチングにより除去する。

【0052】次いで、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm以上、例えば、100nmの酸化膜を堆積させ、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール25を形成して、シリサイド層21～24の周辺端部を覆う。

【0053】次いで、同じく、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm～90nm、例えば、25nmの薄い酸化膜35を堆積させる。

【0054】図5(b)参照

次いで、ローカル配線パターンに対応した開口部を設けたレジストマスク36を設け、CHF₃によりドライ・エッチングすることによって、露出する薄い酸化膜35を選択的に除去する。

【0055】図6(c)参照

次いで、レジストマスク36を除去したのち、全面に厚さ3～100nm、例えば、10nmのTi膜及び厚さ3～200nm、例えば、20nmのTiN膜からなるTi/TiN膜26を順次堆積させたのち、レジストマ

スク36の反転パターンからなるレジストマスク37を設ける。

【0056】この様なレジストマスク37は、レジストマスク36を形成する際に用いた露光用マスクを用いて、ネガ型レジストとポジ型レジストを使い分けることによって形成することができ、それによって、必要とする露光用マスク数を減らすことができる。

【0057】図6(d)参照

次いで、CF₄+BCl₃を原料ガスとしたRIEによってTi/TiN膜26をエッチングすることによってローカル配線28を形成したのち、レジストマスク27を残存させた状態で、CHF₃を原料ガスとしたRIEによって露出している薄い酸化膜35を除去する。

【0058】なお、実際には、薄い酸化膜35は、Ti/TiN膜26のエッチング工程において、Ti/TiN膜26と共にほとんど除去されるので、必ずしもCHF₃を原料ガスとしたRIE工程は必要ではない。

【0059】この様に、本発明の第2の実施の形態においては、側壁サイドウォールスペーサ層となるサイドウォール25の上に薄い酸化膜35を設けているので、ローカル配線28を設けない側の素子分離用酸化膜12の端部が薄い酸化膜35で覆われ、エッチング工程において端部が保護されるので、しみ込み部29が発生することがなく、信頼性がより高まる。

【0060】次に、図7及び図8を参照して、本発明の第3の実施の形態の製造工程を説明するが、薄い酸化膜の形成工程以外は、上記の第2の実施の形態と同様である。

図7(a)参照

まず、上記の第2の実施の形態と同様に、p型Si基板11の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10～400nm、例えば、180nmのノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にPをドーブする。

【0061】次いで、CVD法によって厚さ、10～200nm、例えば、80nmの酸化膜を堆積させたのち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

【0062】次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ c}$

ち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

【0049】次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ のn⁺型ソース・ドレイン引出領域17を形成する。

【0050】次いで、全面にCVD法により厚さ10～200nm、例えば、100nmの酸化膜を堆積させ、RIEにより異方性エッチングすることによって、多結晶Siゲート電極15や多結晶Si配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ のn⁺型ソース・ドレイン領域19を形成する。なお、同時に形成されるn⁺型領域20は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0051】次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理(RTA: Rapid Thermal Annealing)を施すことによって、多結晶Siゲート電極15、多結晶Si配線層16、及び、p型Si基板11の露出表面にCoSi₂からなるシリサイド層21、22、23、24を形成し、未反応のCo層を選択的エッチングにより除去する。

【0052】次いで、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm以上、例えば、100nmの酸化膜を堆積させ、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール25を形成して、シリサイド層21～24の周辺端部を覆う。

【0053】次いで、同じく、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm～90nm、例えば、25nmの薄い酸化膜35を堆積させる。

【0054】図5(b)参照

次いで、ローカル配線パターンに対応した開口部を設けたレジストマスク36を設け、CHF₃によりドライ・エッチングすることによって、露出する薄い酸化膜35を選択的に除去する。

【0055】図6(c)参照

次いで、レジストマスク36を除去したのち、全面に厚さ3～100nm、例えば、10nmのTi膜及び厚さ3～200nm、例えば、20nmのTiN膜からなるTi/TiN膜26を順次堆積させたのち、レジストマ

スク36の反転パターンからなるレジストマスク37を設ける。

【0056】このようなレジストマスク37は、レジストマスク36を形成する際に用いた露光用マスクを用いて、ネガ型レジストとポジ型レジストを使い分けることによって形成することができ、それによって、必要とする露光用マスク数を減らすことができる。

【0057】図6(d)参照

次いで、CF₄+BCl₃を原料ガスとしたRIEによってTi/TiN膜26をエッチングすることによってローカル配線28を形成したのち、レジストマスク27を残存させた状態で、CHF₃を原料ガスとしたRIEによって露出している薄い酸化膜35を除去する。

【0058】なお、実際には、薄い酸化膜35は、Ti/TiN膜26のエッチング工程において、Ti/TiN膜26と共にほとんど除去されるので、必ずしもCHF₃を原料ガスとしたRIE工程は必要ではない。

【0059】この様に、本発明の第2の実施の形態においては、側壁サイドウォールスペーサ層となるサイドウォール25の上に薄い酸化膜35を設けているので、ローカル配線28を設けない側の素子分離用酸化膜12の端部が薄い酸化膜35で覆われ、エッチング工程において端部が保護されるので、しみ込み部29が発生することがなく、信頼性がより高まる。

【0060】次に、図7及び図8を参照して、本発明の第3の実施の形態の製造工程を説明するが、薄い酸化膜の形成工程以外は、上記の第2の実施の形態と同様である。

図7(a)参照

まず、上記の第2の実施の形態と同様に、p型Si基板11の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10～400nm、例えば、180nmのノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にPをドーピングする。

【0061】次いで、CVD法によって厚さ、10～200nm、例えば、80nmの酸化膜を堆積させたのち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

【0062】次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ c}$

m^{-3} の n^{+} 型ソース・ドレイン引出領域17を形成する。

【0063】次いで、全面にCVD法により厚さ10～200nm、例えば、100nmの酸化膜を堆積させ、RIEにより異方性エッチングすることによって、多結晶Siゲート電極15や多結晶Si配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ の n^{+} 型ソース・ドレイン領域19を形成する。なお、同時に形成される n^{+} 型領域20は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0064】次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理(RTA: Rapid Thermal Annealing)を施すことによって、多結晶Siゲート電極15、多結晶Si配線層16、及び、p型Si基板11の露出表面にCoSi₂からなるシリサイド層21、22、23、24を形成し、未反応のCo層を選択的エッチングにより除去し、LT

【0065】図7(b)参照

次いで、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール状の酸化膜を形成してシリサイド層21～24の周辺端部を覆うと共に、サイドウォール状の酸化膜の形成されない領域には、厚さ10～90nm、例えば、25nmの薄い酸化膜が形成されるように異方性エッチングを途中で終了して側壁スペーサ層39を形成する。

【0066】図8(c)参照

次いで、第2の実施の形態と同様に、ローカル配線パターンに対応した開口部を設けたレジストマスク40を設け、CHF₃によりドライ・エッチングすることによって、側壁スペーサ層39の露出部分である薄い酸化膜を選択的に除去する。

【0067】図8(d)参照

次いで、レジストマスク40を除去したのち、全面に厚さ3～100nm、例えば、10nmのTi膜及び厚さ3～200nm、例えば、20nmのTiN膜からなるTi/TiN膜を順次堆積させたのち、レジストマスク40の反転パターンからなるレジストマスク(図示せず)を設け、CF₄+BCl₃を原料ガスとしたRIEによってTi/TiN膜をエッチングすることによってローカル配線41を形成したのち、レジストマスクを残存させた状態で、CHF₃を原料ガスとしたRIEによって露出している側壁スペーサ層39の薄い部分を除去してサイドウォール42を形成する。

【0068】なお、この場合にも、実際には、側壁スペーサ層39の薄い部分は、Ti/TiN膜のエッチング工程において、Ti/TiN膜と共にほとんど除去されるので、必ずしもCHF₃を原料ガスとしたRIE工程は必要ではない。

【0069】この様に、本発明の第3の実施の形態においては、素子分離用酸化膜12の端部を保護する薄い酸化膜を、側壁サイドウォールスペーサ層となるサイドウォールの形成工程で形成しているため、成膜工程を減らすことができ、したがって、スループットが向上する。

【0070】以上、本発明の各実施の形態を説明してきたが、本発明は、上記の実施の形態に限られるものではなく、例えば、実施の形態においては本発明の典型的適用例としてSRAMのローカル配線の製造工程を示しているが、本発明は、SRAMのローカル配線に限られることなく、シリサイド電極間を接続する各種の半導体装置における相互接続配線層の製造工程に適用されるものである。

【0071】また、シリサイド層は必ずしもコバルトシリサイド層(CoSi₂層)に限られるものでなく、他のシリサイド、例えば、タングステンシリサイド、ニッケルシリサイド、或いは、モリブデンシリサイド等であっても良い。

【0072】また、本発明の各実施の形態においては、サイドウォール等をSiO₂等の酸化膜で形成しているが、必ずしも、SiO₂等の酸化膜である必要はなく、例えば、SiON膜や窒化膜を用いても良いものである。

【0073】

【発明の効果】本発明によれば、シリサイド技術を用いて形成したシリサイド層を導電体層で相互接続する際に、側壁サイドウォールスペーサを設けているため、シリサイド層の周囲にエッチングしみ込み部が発生することがなく、微細化の進む半導体装置、特に、SRAMを搭載した半導体装置の信頼性及び製造歩留りを向上することができる。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態の図2以降の製造工程の説明図である。

【図4】本発明の第1の実施の形態における問題点の説明図である。

【図5】本発明の第2の実施の形態の途中までの製造工程の説明図である。

【図6】本発明の第2の実施の形態の図5以降の製造工程の説明図である。

【図7】本発明の第3の実施の形態の途中までの製造工程の説明図である。

【図8】本発明の第3の実施の形態の図7以降の製造工程の説明図である。

【図9】従来のローカル配線の形成工程の説明図である。

【図10】従来のローカル配線の形成工程の問題点の説明図である。

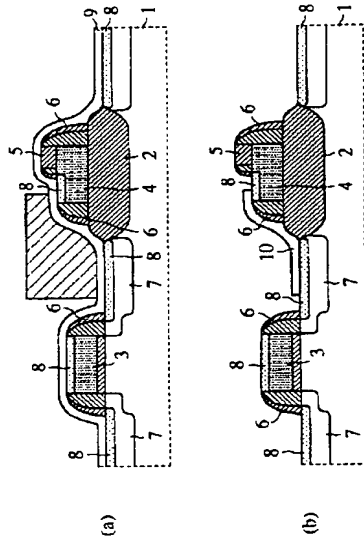
【符号の説明】

- 1 半導体基板
- 2 第1の絶縁膜
- 3 配線層
- 4 配線層
- 5 第2の絶縁膜
- 6 側壁サイドウォールスペーサ
- 7 ソース・ドレイン領域
- 8 シリサイド層
- 9 導電体膜
- 10 相互接続配線層
- 11 p型Si基板
- 12 素子分離用酸化膜
- 13 ゲート酸化膜
- 14 酸化膜
- 15 多結晶Siゲート電極
- 16 多結晶Si配線層
- 17 n⁺型ソース・ドレイン引出領域
- 18 サイドウォール
- 19 n⁺型ソース・ドレイン領域
- 20 n⁺型領域
- 21 シリサイド層
- 22 シリサイド層
- 23 シリサイド層
- 24 シリサイド層
- 25 サイドウォール
- 26 Ti/TiN膜
- 27 レジストマスク

- 28 ローカル配線
- 29 しみ込み部
- 30 層間絶縁膜
- 31 ビアホール
- 32 グルーレイヤメタル
- 33 Wプラグ
- 34 配線層
- 35 酸化膜
- 36 レジストマスク
- 10 37 レジストマスク
- 38 酸化膜
- 39 側壁スペーサ層
- 40 レジストマスク
- 41 ローカル配線
- 42 サイドウォール
- 51 p型Si基板
- 52 素子分離用酸化膜
- 53 ゲート酸化膜
- 54 酸化膜
- 20 55 多結晶Siゲート電極
- 56 多結晶Si配線層
- 57 n⁺型ソース・ドレイン引出領域
- 58 サイドウォール
- 59 n⁺型ソース・ドレイン領域
- 60 n⁺型領域
- 61 シリサイド層
- 62 シリサイド層
- 63 シリサイド層
- 64 シリサイド層
- 30 65 Ti/TiN膜
- 66 レジストマスク
- 67 ローカル配線
- 68 エッチング残渣
- 69 しみ込み部

【図1】

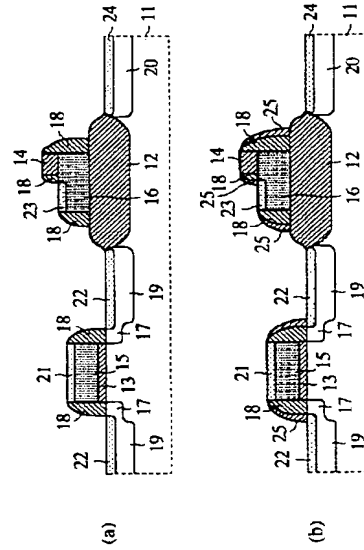
本発明の原理的構成の説明図



- 1:半導体基板
2:第1の絶縁膜
3:配線層
4:配線層
5:第2の絶縁膜
6:側壁サイドウォールスペース
7:ソース・ドレイン領域
8:シリサイド層
9:導電体膜
10:相互接続配線層

【図2】

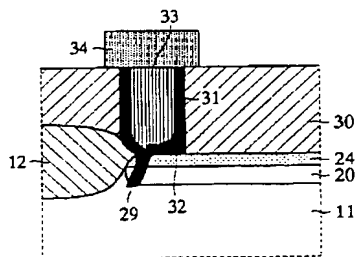
本発明の第1の実施の形態の途中までの製造工程の説明図



- 11:p型Si基板
12:素子分離用酸化膜
13:ゲート酸化膜
14:酸化膜
15:多結晶Siゲート電極
16:多結晶Si配線層
17:n⁺型ソース・ドレイン領域
18:シリサイド層
19:n⁺型ソース・ドレイン領域
20:n⁺型領域
21:シリサイド層
22:シリサイド層
23:シリサイド層
24:シリサイド層
25:シリサイド層

【図4】

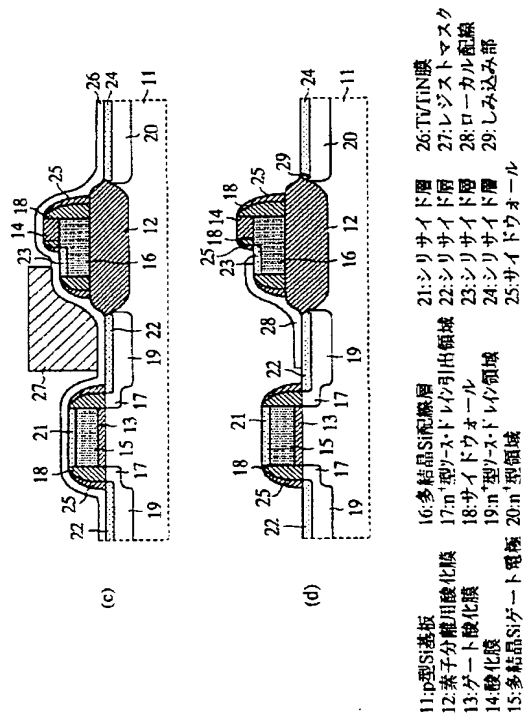
本発明の第1の実施の形態における問題点の説明図



- 11:p型Si基板
12:素子分離用酸化膜
20:n⁺型領域
21:シリサイド層
29:しみ込み部
30:層間絶縁膜
31:ビアホール
32:グルーレイヤメタル
33:Wプラグ
34:配線層

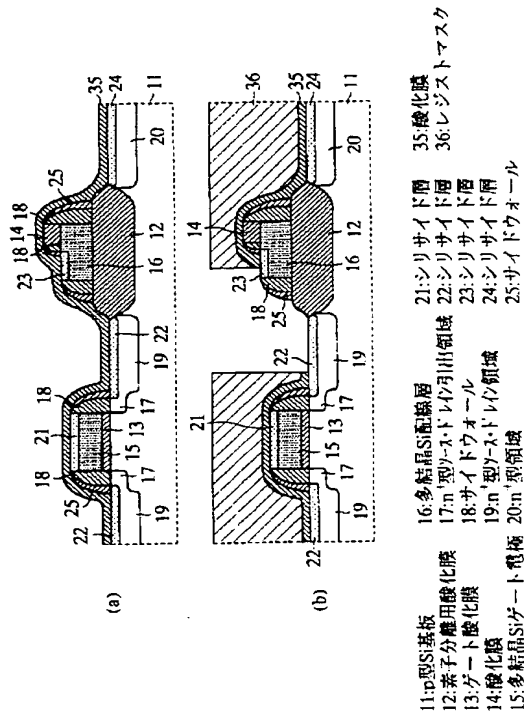
【図3】

本発明の第1の実施の形態の図2以降の
製造工程の説明図



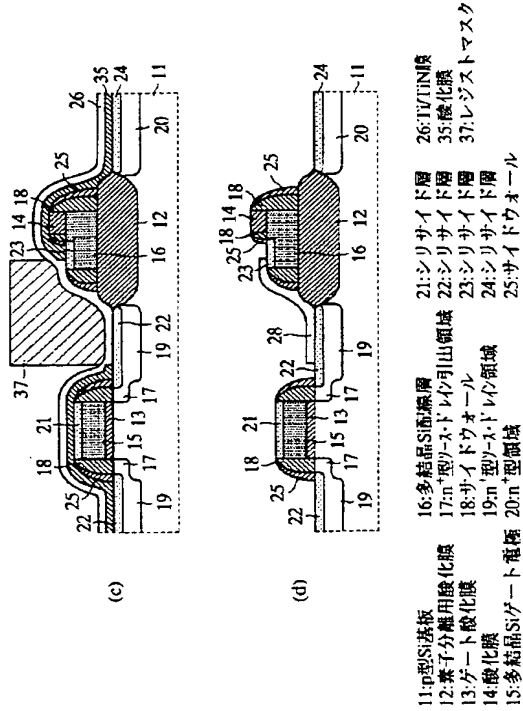
【図5】

本発明の第2の実施の形態の途中までの
製造工程の説明図



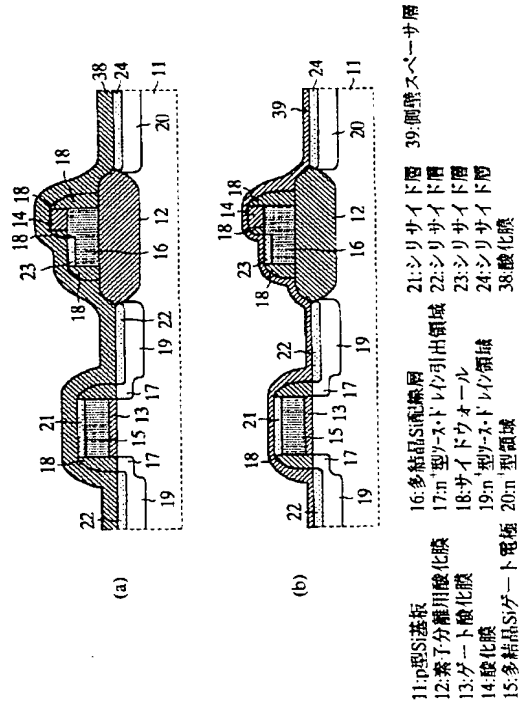
【図6】

本発明の第2の実施の形態の図5以降の製造工程の説明図



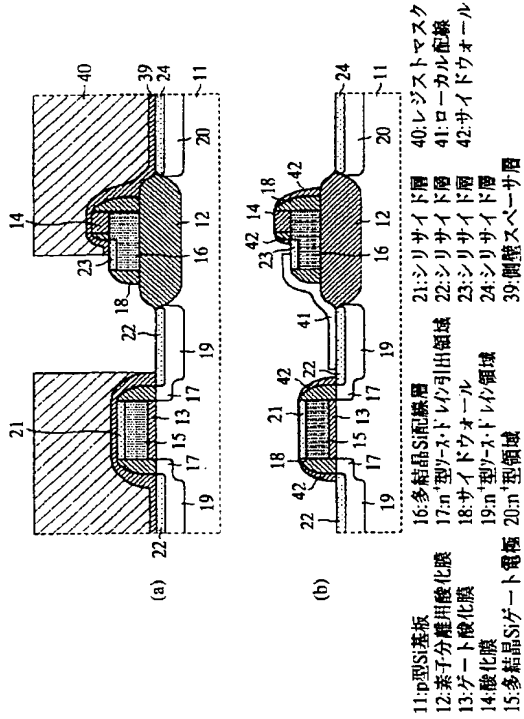
【図7】

本発明の第3の実施の形態の途中までの製造工程の説明図



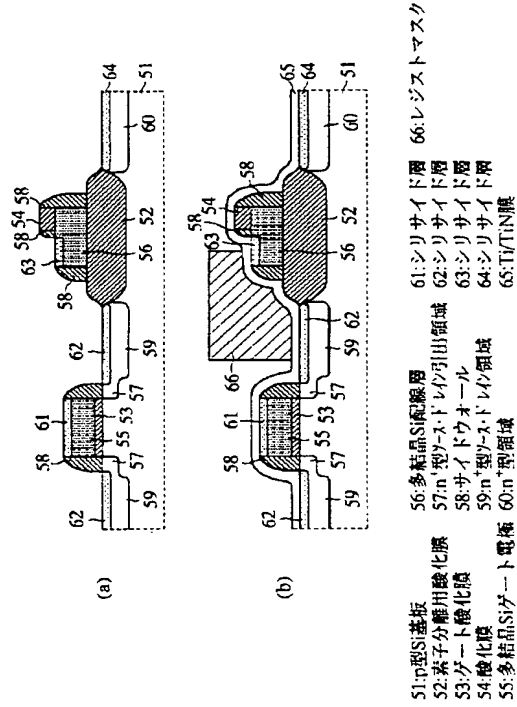
【図8】

本発明の第3の実施の形態の図7以降の製造工程の説明図



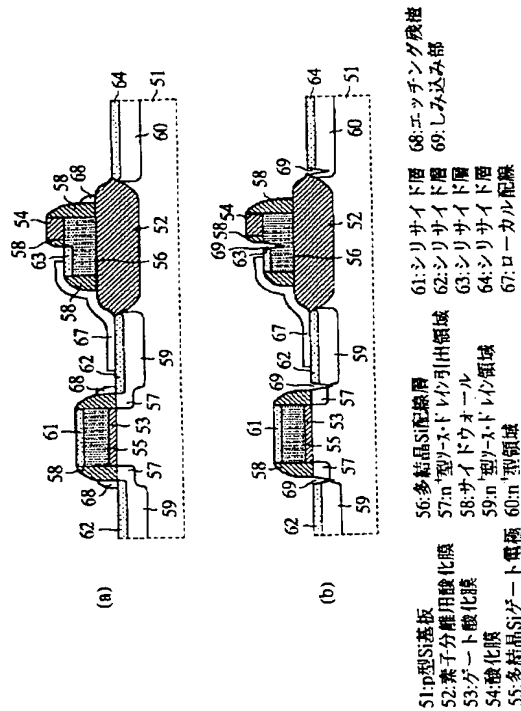
【図9】

従来のローカル配線の形成工程の説明図



【図10】

従来のローカル配線の形成工程の問題点の説明図



フロントページの続き

(72)発明者 鳥居 泰伸
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 中石 雅文
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 和田 一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 駒田 大輔
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 牧 達一郎
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内